

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05090897
PUBLICATION DATE : 09-04-93

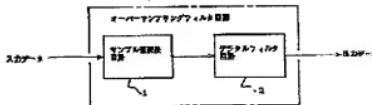
APPLICATION DATE : 26-09-91
APPLICATION NUMBER : 03273487

APPLICANT : SONY CORP;

INVENTOR : IKEDA YASUNARI;

INT.CL. : H03H 17/02

TITLE : OVERSAMPLING FILTER CIRCUIT



ABSTRACT : PURPOSE: To make it possible to enhance the oversampling processing speed by making the operating speed of each adder, multiplier, and so on constituting the digital filter circuit equal to input data speed.

CONSTITUTION: A sample number converting circuit 1 in the over-sampling circuit carries out sample number conversion on input data, while the interpolation points that is obtained by the sample number conversion processing are provided with temporary reference value 0. Further, the data processing section at the even side of the digital filter circuit and the data processing section at the odd side thereof carry out the convolution arithmetic operation on each data obtained from a circuit 1, the DC correction is carried out on resultant data using the correcting value corresponding to the essential reference value, and the output from the data processing section at the even side and the output from the data processing section at the odd side are alternately selected and output. With this constitution, the operation speed of each adder and multiplier in the data processing section at the even side and the operation speed of each adder and multiplier in the data processing section at the odd side are made equal to the input data speed, thereby carrying out the oversampling processing at doubled high speed.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-90897

(43) 公開日 平成5年(1993)4月9日

(51) InLCl.5

H 03 H 17/02

著別記号 序内郵便番号

A 7259-5J

F 1

技術表示箇所

審査請求 未請求 請求項の数1(全10頁)

(21) 出願番号 特願平3-273487

(71) 出願人 0000002185

(22) 出願日 平成3年(1991)9月26日

ソニーモード会社
東京都品川区北品川6丁目7番35号

(72) 発明者 進田 崇成
東京都品川区北品川6丁目7番35号 ソニーモード会社内

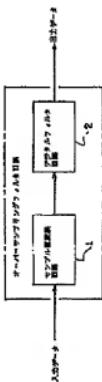
(74) 代理人 井原士 高橋 光男

(54) 【発明の名称】 オーバーサンプリングフィルタ回路

(57) 【要約】

【目的】 本発明はデジタルフィルタ回路を構成する各計算器、各乘算器等の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なってオーバーサンプリング処理の高速化を達成する。

【構成】 サンプル数変換回路1によって入力データに対するサンプル数変換を行なうとともに、このサンプル数変換処理によって得られた補回数に対し板の基準値として“0”を与えた後、デジタルフィルタ回路2の奇数側データ処理部6や奇数側データ処理部7によって前記サンプル数変換回路1で得られた各データに基づいて組み込み演算を行なってこの演算結果によって得られたデータに対し本来の基準値に対する補正に基づいた直流補正を行ない、マルチブレクサ回路8によって前記偶数側データ処理部5や奇数側データ処理部7で得られた各データを順次、選択して出力データを生成する。*



3

【新詩讀書の範囲】

【請求項1】 入力データに対してサンプル数変換を行なうとともに、補点値に対して仮の基準値として“0”を有するサンプル数変換部、
このサンプル数変換部によって得られたデータに基づいて登み込み演算を行なってこの演算処理によって得られたデータに基づき本來の基準値に対する補正処理に基づいた底座処理を行なう複数のデータ処理部と、
これら各データ処理部によって得られた各データを順次選択して出力データを生成する選択部。

「発明の詳細な説明」

【0001】

カルテ画廊

「従来の技術」入力データの標準化周波数をn倍するオーバーサンプリングフィルタ回路では、実際の各入力標準点間に「n-1」個の一定値を持つ標準点が存在するとして、標準化速度をn倍した入力データに対し逆過城が「 π/n 」の低域デジタルフィルタでフィルタリングすることにより、入力されたデータのn倍の標準化周波数を実現する。また、オーバーサンプリング

化可能で操作性も良くなっています。オーバーサンプリング回路を行なっている。

【0003】図6はこのような手法によるオーバーサンプリング回路の一例を示すブロック図である。この図に示す如くこのオーバーサンプリング回路では、入力データをサンプル数倍回路101に供給し、このサンプル数倍回路101によってサンプル数倍回路を行なって入力データ点間に補間点を得るとともに、各補間点に対しても基準値Cをそえた後、デジタルフィルタ回路102によって入力データの補間誤差を除去して出力データを得る。この場合、入力データがビデオ信号であり、2倍のオーバーサンプリングを行なうときには、入力データの基準レベルがペデステルレベルとなるので、初めのサンプリング数倍回路点間にペデステルレベルが与えられる。

度の n 倍の周波数を有するクロック信号 f_S が供給される毎に、入力データを読み込むとともに、これまでのデータによってシフト処理やマスキング、係数乗算処理、加算処理等を行なって図 8 に示すデジタルフィルタ特性で前記入力データを処理しその結果信号を出力データとして送出する。これによって、前記サンプル数拡張回路 101 に入力される入力データが図 9 (a) に示す特性を持っているとき、図 9 (b) に示す特性の出力データが抽出される。

(0005)

〔発明が解決しようとする趣旨〕しかししながら、上述した従来のオーバーサーブリング処理で使用されるデジタルフィルタ回路 10 2においては、n 俗位のオーバーサーブリング処理を行うとき、入力データ数の増加の割合を抑止するためクロック保号 f₀を用いて各ノジスタ 1 0 3や各加算器 1 0 6、1 1 0、各乗算器 1 0 8を入力データ速度の n の倍数階級で動作させなければならぬので、これらを各ノジスタ 1 0 3や各加算器 1 0 6、1 1 0、各乗算器 1 0 8の動作速度によってオーバーサーブリングの割合が決まつてしまい、過度で動作させるとが難しいといつては到底であった。

【0006】本発明は上記の事項に鑑み、デジタルフィルタ回路を構成する各加算器、各乗算器等の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なうことができ、これによってオーバーサンプリング処理の高速化を達成することができ、オーバーサンプリングフィルタ回路を構成することを目的としている。

[0007]

【選題を解消するための手段】上記の目的を達成するためには本発明によるとオーバーサンプリングフィルタ構成は、入力データに対してサンプル数変換を行なうとともに、補間点に対しその基準値として“0”をもつサンプル数変換部と、このサンプル数変換部によって得られたデータに基づいて盈み込み演算を行なってこの横断差によって得られたデータに対する本の基準値に対応する補正部に基づいて直流通路正形を行なう複数のデータ処理部と、これら各データ処理部によって得られた各データを組み選択して各データを生成する選択部とを備えたことを特徴としている。

[0 0 0 8]

【作用】上記の構成において、サンプル強度換算によって入力データに対するサンプル数強度が行なわれるとともに、このサンプル数強度換算によって得られた補正値に対し仮の基礎値として“0”が加えられた後、各データ処理部によって前述サンプル数強度換算で得られたデータに付いて読み込み計算が行なわれてこの算算異常によって得られたデータに対し本来の基準値に対応する補正値に基づいた直換正補が行なわれ、選択部によって前述各データ処理部で得られた各データが順次、選択され記録データ処理部で得られた各データが順次、選択され

て出力データが生成される。

〔0009〕

〔実施例〕まず、実施例の詳細な説明に先だって本発明の基本原理を説明する。本発明は基本的には、一般的に使用されているオーバーサンプリング処理方法、例えば図6に示す処理方法において、各補間点に基礎レバーハンプトを与える代わりに常に“0”を与えると、この後に基礎レバーハンプトを乗算しても、乗算結果が常に“0”になり、演算結果に寄与しないことを利用し、さらにこのようう処理を行なうと、あるときには偶数タップのみ、またある時には、奇数タップのみしか演算に寄与しないことを利用して、これら偶数タップ、奇数タップに得られたデータに対し、本来の基準値Cに対応する補正値D₁（または、補正値D₂）を加算してこれら偶数タップ側の演算結果と奇数タップ側の演算結果とを交互に選択することにより、入力データ速度に對して2倍のオーバーサンプリング処理を行なったときと同じ出力データを得る。

〔0010〕図1はこのような基本原理に基づく本発明によるオーバーサンプリングフィルタ回路のうち、直線位相の2倍オーバーサンプリング処理を行なう回路の実施例を示すブロック図である。

〔0011〕この図に示すオーバーサンプリングフィルタ回路はサンプル数変換回路1と、デジタルフィルタ回路2とを備えており、入力データAに対して最初にサンプル数変換を行なってサンプル数変換処理によって得られた各補間点に依る基準値として“0”を与えた後、デジタルフィルタ回路2によって前記サンプル数変換回路1から出力されるデータに対して階級制限を施しながら本来の基準値Cに対応する補正値D₁（または、補正値D₂）に依づいて直流補正を行なって出力データを得る。

〔0012〕サンプル数変換回路1は入力データAに対しでサンプル数変換処理を施して入力標本点間に補間点を挿入するとともに、各補間点に対する依る基準値として常に“0”をもつてこの近傍によって得られたデータをデジタルフィルタ回路2に供給する。

〔0013〕デジタルフィルタ回路2は図2に示す如くレジスタ部5と、偶数側データ処理部6と、奇数側データ処理部7と、マルチブレクサ回路8とを備えており、前記サンプル数変換回路1から出力されるデータに対して階級制限を施しながら偶数タップ側のデータと、奇数タップ側のデータとに対して直流補正を行ない、これによって得られたデータを交互に選択して出力データを生成する。

〔0014〕レジスタ部5はシリアルに接続される複数のレジスタ10を備えており、前記サンプル数変換回路1に入力される入力データのスカイダーベシ度と、同じ周波数を持つクロック信号が供給されるのに、前記サンプル数変換回路1から出力されるデータを取り込みながらこれをシフトして各偶数タップに得られたデータを偶数側

データ処理部6に供給するとともに、各奇数タップに得られたデータを奇数側データ処理部7に供給する。

〔0015〕偶数側データ処理部6は前記各レジスタ10の偶数タップに得られたデータを2つずつ選択して加算する複数の偶数側加算器12と、これら各偶数側加算器12の加算動作によって得られた各データに対して予め設定されている基準値h₁、h₂、h₃を各々乗算する複数の偶数側乗算器13と、これら各偶数側乗算器13の乗算動作によって得られたデータを加算して図3

〔0016〕(a)に示すようなインパルス応答データを生成する複数の偶数側加算器14と、これら各偶数側加算器14の加算動作によって得られた1つのデータに対して本来の基準値Cに対応する補正値D₁を加算する複数側加算器15とを備えており、前記各レジスタ5から出力される複数のデータに対して加算処理や偶数側乗算処理等を施した後、これらの処理によって得られたデータに対して本来の基準値Cに対応する補正値D₁を加算してこれを直流補正し、補正済みデータを補間点におけるインパルス応答としてマルチブレクサ回路8に供給する。この場合、補正値D₁は固定値Cに対する偶数タップの応答であるから次式に示す如く常に一定の値になる。

〔数1〕

$$D_1 = 2C \sum_{k=0}^4 h_{2k} + C h_8$$

〔0017〕また、奇数側データ処理部7は前記各レジスタ10の奇数タップに得られたデータを2つずつ選択して加算する複数の奇数側加算器16と、これら各奇数側加算器16の加算動作によって得られた各データに対して予め設定されている基準値h₁、h₂、h₃を各々乗算する複数の奇数側乗算器17と、これら各奇数側乗算器17の乗算動作によって得られた各データを加算して図3 (b)に示すインパルス応答データを生成する複数の奇数側加算器18と、これら各奇数側加算器18の加算動作によって得られた1つのデータに対して本来の基準値Cに対応する補正値D₂を加算する複数側加算器19とを備えており、前記各レジスタ5から出力される複数の奇数データに対して加算処理や奇数側乗算処理等を施した後、これらの処理によって得られたデータに対して本来の基準値Cに対応する補正値D₂を加算してこれを直流補正し、補正済みデータを入力標本点におけるインパルス応答としてマルチブレクサ回路8に供給する。この場合、補正値D₂は固定値Cに対する奇数タップの応答であるから次式に示す如く常に一定の値になる。

〔数2〕

$$D_2 = 2C \sum_{k=0}^3 h_{2k+1}$$

50 なお、この場合、通常のオーバーサンプリング処理では

補正値 D_5 は前記直換補正値 D_3 と等しい値になる。

〔0017〕マルチブレクサ回路 8 は前記サンプル数変換回路 1 に投入される人データの人データ速度の 2 倍の周波数を持つクロック信号が供給される毎に、前記偶数側データ処理部 6 から出力されるデータ、前記奇数側データ処理部 7 から出力されるデータを交互に選択して図 3 (c) に示すデータを生成しこれをオーパーサンプリング処理読みの出力データとして出力する。

〔0018〕このようにこの実施例においては、各補間点に基準レベル C を与える代わりに常に “0” を与えると、この値に係る h を算定しても、累算結果が常に “0” になり、演算結果に寄与しないことを利用し、さらにこのように処理を行なうと、あるときには偶数タップのみ、またある時は奇数タップのみしか演算に寄与しないことを利用して、これら偶数タップ、奇数タップに得られたデータに対し、本来の基準値 C に対応する補正値 D₁ (または、補正値 D₂) を加算してこれら偶数タップ側の演算結果と奇数タップ側の演算結果とを交互に選択することにより、入力データ速度に対して 2 倍のオーパーサンプリング処理を行なったときに出力データを得るよろかしたので、デジタルフィルタ回路 2 を構成するレジスタ部 5 や偶数側データ処理部 6、奇数側データ処理部 7 の動作速度を入力データの入力データ速度と同じにしながら、オーパーサンプリング処理を行なうことができ、これによってオーパーサンプリング処理の高速度化を達成することができる。

〔0019〕図 4 は本発明によるオーパーサンプリングフィルタ回路のうち、n 倍のオーパーサンプリング処理を行なう回路の実施例を示すブロック図である。この図に示すオーパーサンプリングフィルタ回路はサンプル数変換回路 2 と、デジタルフィルタ回路 2 1 とを構成しており、入力データに対して最初にサンプル数変換を行なってこのサンプル数変換処理によって得られた各補間点に仮の基準値として “0” を与えた後、デジタルフィルタ回路 2 1 によって帯域制限を施しながら本来の基準値 C に応する補正値 D₁、D₂ に基づいて直換補正を行なって出力データを得る。

〔0020〕サンプル数変換回路 2 0 は入力データに対してサンプル数変換処理を施して入力標本点間に補間点を挿入するとともに、各補間点に対する仮の基準値として常に “0” を与えてこの処理によって得られたデータをデジタルフィルタ回路 2 1 に供給する。

〔0021〕デジタルフィルタ回路 2 1 は図 5 に示す如くレジスタ部 2 2 と、複数のデータ処理部 2 3 と、マルチブレクサ回路 2 4 とを備えており、前記サンプル数変換回路 2 0 から出力されるデータに対して帯域制限を施しながら直換補正を行なって出力データを生成する。

〔0022〕レジスタ部 2 2 はシリアルに接続される複数のレジスタ 2 5 を備えており、前記サンプル数変換回路 2 0 に入力される入力データの入力データ速度と同じ

周波数を持つクロック信号が供給される毎に、前記サンプル数変換回路 2 0 から出力されるデータを取り込みながらこれをシフトして各タップに送られたデータを各データ処理部 2 3 に供給する。

〔0023〕各データ処理部 2 3 は各々、前記レジスタ 2 5 の各タップに得られたデータに対して予め設定されている係数 $h_1 \sim h_{n-1}$ を乗算する複数の乗算器 2 6 と、これら各乗算器 2 6 の乗算動作によって得られたデータを加算する複数の累算器 2 7 と、これらの各加算器 2 7 によって得られた 1 つのデータに対して基準値 C に対応する補正値 D₁ (または、補正値 D₂) のうち、対応する値) を乗算して前記データを直換補正する加算器 2 8 とを備えており、前記レジスタ部 2 2 から出力される複数のデータに対して複数乗算処理や加算処理等を施した後、これらの処理によって得られたデータに対して本来の基準値 C に応する補正値 D₁ (または、補正値 D₂) のうち、対応する値) を加算して得られたデータを直換補正し、直換読みデータをマルチブレクサ回路 2 4 に供給する。

〔0024〕マルチブレクサ回路 2 4 は前記サンプル数変換回路 2 0 に入力される入力データの入力データ速度の n 倍の周波数を持つクロック信号が供給される毎に、前記データ処理部 2 3 から出力されるデータを順次、サイクリックに選択してこの選択動作によって得られたデータをオーパーサンプリング処理読みの出力データとして出力する。

〔0025〕このようにこの実施例においては、各補間点に基準レベル C を与える代わりに常に “0” を与えるとともに、各データ処理部 2 3 において本来の基準値 C に対する補正値 D₁～補正値 D_n を各々乗算してこれらを累算することにより、入力データ速度に対して n 倍のオーパーサンプリング処理を行なったときに出力データを得るよろかしたので、デジタルフィルタ回路 2 1 を構成するレジスタ部 2 2 や各データ処理部 2 3 の動作速度は入力データの入力データ速度と同じにしながら、オーパーサンプリング処理を行なうことができ、これによってオーパーサンプリング処理の高速化を達成することができる。

〔0026〕また、上述した各実施例においては、偶数側データ処理部 6 や奇数側データ処理部 7 (または、各データ処理部 2 3) で個々に補正値 D₁、D₂ (または、補正値 D₁～D_n) を加算して補正対象に対するインバルス応答や入力標本点に対するインバルス応答を補正するようになっているが、このような補正マルチブレクサ回路 8 (または、マルチブレクサ回路 2 4) でまとめて行なうようにしても良い。但し、この場合、このマルチブレクサ回路 8、2 4 の出力データ速度が入力データの 2 倍 (または、n 倍) にになっているので、演算速度を 2 倍 (または、n 倍) にすることが必要になる。

〔0027〕また、上述した各実施例においては、直換

補正が必要な場合を例にとって本発明を説明したが、音声信号のように直流補正量が“0”のなるときには、このような直流補正処理を省略するようにしても良い。

【0028】

【発明の効果】以上説明したように本発明によれば、デジタルフィルタ回路を構成する各加算器、各乗算器等の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なうことができ、これによってオーバーサンプリング処理の高速化を達成することができる。

【図面の簡単な説明】

【図1】本発明によるオーバーサンプリングフィルタ回路のうち、底義位相の2倍オーバーサンプリング処理を行なう回路の一実施例を示すブロック図である。

【図2】図1に示すデジタルフィルタ回路の詳細な構成例を示す回路図である。

【図3】図2に示すデジタルフィルタ回路のフィルタ特性を示す模式図である。

【図4】本発明によるオーバーサンプリングフィルタ回路のうち、1倍のオーバーサンプリング処理を行なう回路

路の一実施例を示すブロック図である。

【図5】図3に示すデジタルフィルタ回路の詳細な構成例を示す回路図である。

【図6】従来から知られているオーバーサンプリング処理の一例を説明するためのブロック図である。

【図7】図6に示すデジタルフィルタ回路の詳細な構成例を示す回路図である。

【図8】図7に示すデジタルフィルタ回路のフィルタ特性を示す模式図である。

【図9】図6に示すオーバーサンプリング処理によって

処理される入力データの周波数特性と、出力データの周波数特性とを示す換式図である。

【符号の説明】

1 サンプル数変換回路 (サンプル数変換部)

2 デジタルフィルタ回路

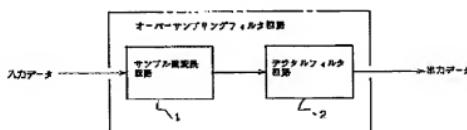
5 レジスタ部

6 データ処理部 (周波数データ処理部)

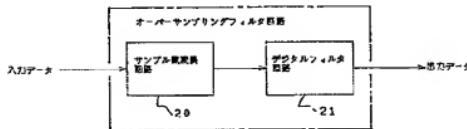
7 データ処理部 (奇数制データ処理部)

8 マルチブレクサ回路 (選択部)

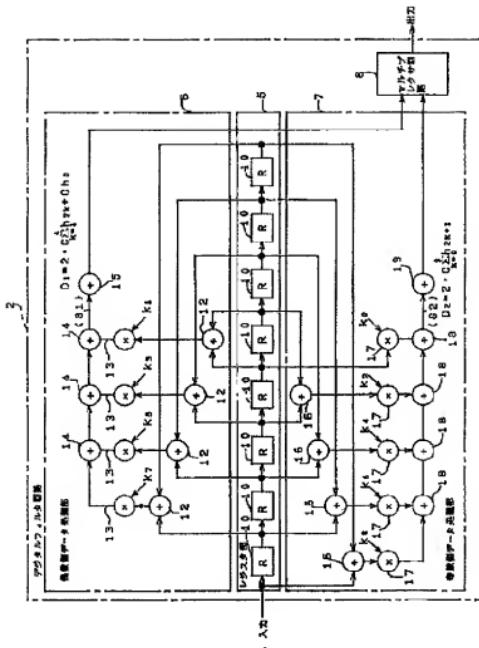
[図1]



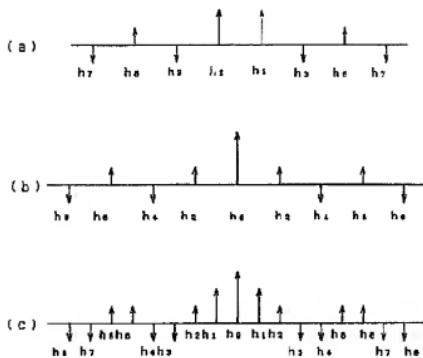
[図4]



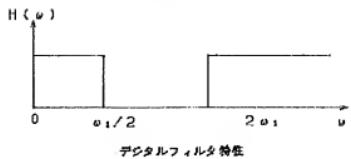
【図2】



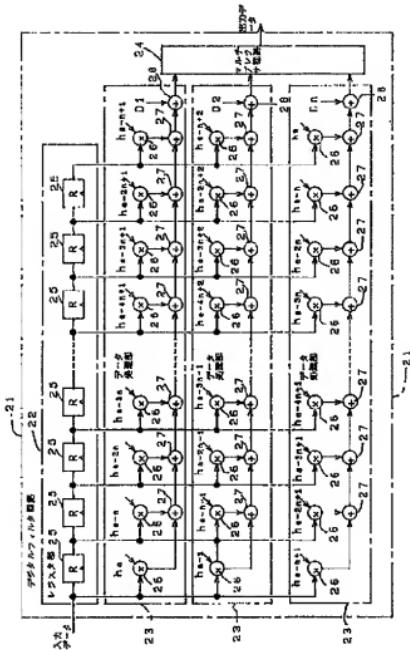
【三】



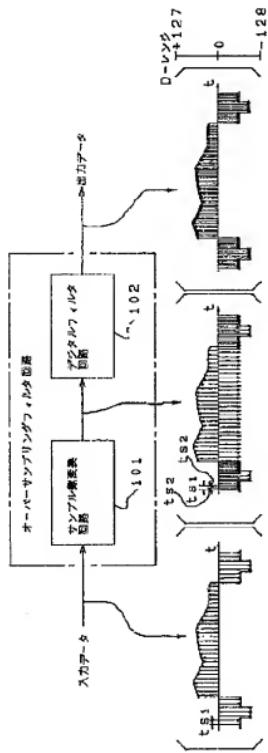
【图8】



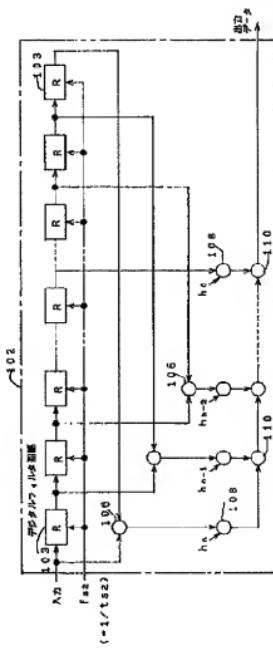
【圖 5】



[図6]



[図7]



【図9】

